

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-172636

(43)Date of publication of application : 02.07.1996

(51)Int.Cl.

H04N 9/09
H04N 5/335
H04N 5/46
H04N 7/015
H04N 7/01

(21)Application number : 06-316824

(71)Applicant : SHARP CORP

(22)Date of filing : 20.12.1994

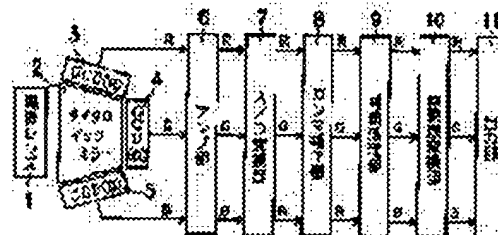
(72)Inventor : HARADA TOSHIKI
YAMADA EIJI
IWAKI TETSUO

(54) IMAGE PICKUP DEVICE

(57)Abstract:

PURPOSE: To inexpensively obtain four times of picture elements with high resolution by applying processing of converting the number of picture elements of each line and the number of lines to a three-primary color image signal and converting the signal based on a format.

CONSTITUTION: An image signal outputted from CCD image pickup element 3-5 is fed to a gamma correction section 8 via an amplifier section 6 and an A/D converter section 7. Then the amplifier section 6 amplifies a signal level, a conversion section 7 converts the signal into a digital signal, the correction section 8 applies gamma correction and the result is fed to an interpolation processing section 9. The processing section 9 expands the number of picture elements of the image signal twice in horizontal and vertical directions through interpolation between picture elements and the result is fed to a picture element number conversion section 10. The conversion section 10 conducts format conversion processing and converts the number of picture elements of each image signal by picture element number conversion processing. Furthermore, the aspect ratio is revised by cutting off an image range or adding a signal properly to an image at the outside of the range. The processing above is executed depending on the conversion mode set by the image pickup device and an image signal with high resolution according to a format is obtained.



LEGAL STATUS

[Date of request for examination]

24.07.1998

[Date of sending the examiner's decision of rejection]

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平8-172636

(43)公開日 平成8年(1996)7月2日

(51)Int.Cl.⁶

H 0 4 N 9/09
5/335
5/46
7/015

識別記号

A
F

庁内整理番号

F I

技術表示箇所

H 0 4 N 7/00

A

審査請求 未請求 請求項の数7 O L (全 17 頁) 最終頁に続く

(21)出願番号

特願平6-316824

(22)出願日

平成6年(1994)12月20日

(71)出願人 000005049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(72)発明者 原田 利明

大阪府大阪市阿倍野区長池町22番22号 シ
ャープ株式会社内

(72)発明者 山田 栄二

大阪府大阪市阿倍野区長池町22番22号 シ
ャープ株式会社内

(72)発明者 岩木 哲男

大阪府大阪市阿倍野区長池町22番22号 シ
ャープ株式会社内

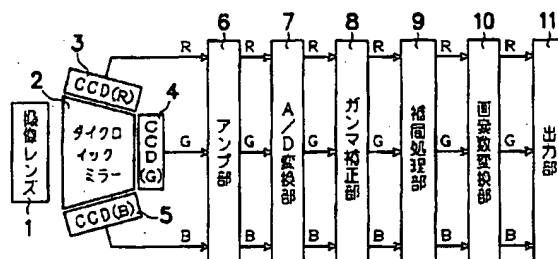
(74)代理人 弁理士 山本 秀策

(54)【発明の名称】 撮像装置

(57)【要約】

【目的】 安価なCCD撮像素子3～5を用いて高解像度の画像信号を得ると共に、画素数変換部10で演算処理が容易なラグランジュ型多項式補間を用いた画素数変換を行うことにより複数のフォーマットに対応した画像信号を得る。また、補間処理部9で2次以上のラグランジュ型多項式補間を用いた補間処理を行うことにより、空間斜め画素ずらし法の欠点である画像の斜めエッジ部での色ムラを抑制する。

【構成】 空間斜め画素ずらし法により1/2画素ずらし10して配置されたCCD撮像素子3～5と、この空間斜め画素ずらし法による補間処理を行う補間処理部9と、画素数変換処理とアスペクト比の変換処理を行い複数のフォーマットの画像信号を出力することができる画素数変換部10とを備えた。



【特許請求の範囲】

【請求項1】 撮像光を三原色に分解する色分解光学系と、

該色分解光学系によって分解されたいずれかの色の撮像光を受光する第1の撮像部と、

該色分解光学系によって分解された他の2色の撮像光をそれぞれ受光し、かつ該第1の撮像部に対して水平及び垂直方向に1/2画素ずらして配置された第2と第3の撮像部と、

該第1ないし第3の撮像部が撮像した三原色の画像信号をそれぞれデジタル信号に変換するA/D変換部と、
該A/D変換部でデジタル信号に変換された三原色の各画像信号について、各画素間の画素を補間することにより、水平及び垂直方向に画素数をそれぞれ2倍に拡大させる補間処理を行う補間処理部と、

該補間処理部で補間された三原色の各画像信号に対して、水平及び垂直方向の画素数変換処理を行うことにより各ラインの画素数とライン数を変換する処理、及びトリミング若しくは画像範囲外への所定信号の付加を行うことによりアスペクト比を変換する処理のうち少なくとも一つの処理を行い、該各画像信号を複数のフォーマットのうちのいずれかに基づいた画像信号に変換するフォーマット変換処理を行う画素数変換部とを備えた撮像装置。

【請求項2】 前記補間処理部が、補間処理を1次のラグランジュ型多項式補間によって行うものである請求項1に記載の撮像装置。

【請求項3】 前記補間処理部が、補間処理を2次のラグランジュ型多項式補間によって行うものである請求項1に記載の撮像装置。

【請求項4】 前記補間処理部が、補間処理を2次以上のラグランジュ型多項式補間によって行うものである請求項1に記載の撮像装置。

【請求項5】 前記画素数変換部が、画素数変換処理をラグランジュ型多項式補間によって行うものである請求項1ないし請求項4のいずれかに記載の撮像装置。

【請求項6】 前記画素数変換部が、各ラインの各カラムの画素を現画素として順次供給すると共に、該各現画素ごとに、当該現画素に対して1ラインからnライン遅延したn個の遅延画素と、該現画素と該1ラインからnライン遅延したn個の画素に対してそれぞれ1カラムからnカラム遅延した $n \times (n+1)$ 個の遅延画素の合計 $n \times (n+2)$ 個の遅延画素を供給する画素供給手段と、該現画素と当該現画素についての遅延画素をそれぞれ係数倍して加算することによりn次のラグランジュ型多項式補間による補間画素を得る演算手段と、該演算手段に所定の周期で各係数を供給する係数供給手段とによって画素数変換を行う請求項5に記載の撮像装置。

【請求項7】 前記A/D変換部でデジタル信号に変換された三原色の各画像信号について前記補間処理部で

補間処理を行うかどうかを選択する選択手段、該補間処理部で補間された三原色の各画像信号について画素数変換部でフォーマット変換処理を行うかどうかを選択する選択手段、又は、該A/D変換部でデジタル信号に変換された三原色の各画像信号について該補間処理部と該画素数変換部で補間処理とフォーマット変換処理を行うかどうかを選択する選択手段を有する請求項1ないし請求項6のいずれかに記載の撮像装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、ビデオカメラの映像信号やビデオスチルカメラの静止画信号等の画像信号を得ることができる撮像装置に関する。

【0002】

【従来の技術】近年のデジタル信号処理技術の進歩により、映像信号のデジタル化が容易になり、デジタルVTR等が家庭用又はパーソナルユースとして普及の兆しを見せ始めている。デジタルVTRは、高S/N比（信号対雑音比）で高画質の映像を得ることができ、デジタルダビングによる信号劣化がないため高品質の編集等が行えるという点でアナログVTRよりも優れているため、従来から要望の高かったものである。また、このデジタルVTRは、SD [Standard Definition] フォーマットとHD [High Definition] フォーマットの統一規格が既に制定されていて仕様が明確化されていることも、今後の普及に際して有利となる。

【0003】上記SDフォーマットの仕様を図15に示し、HDフォーマットの仕様を図16に示す。ただし、これらのフォーマットは、各ラインの画素数とライン数（走査線数）が異なり、しかも画面の縦横比であるアスペクト比も異なる。そして、このように異なるフォーマットの映像信号を得るには、本来それぞれの方式に適合したCCD撮像素子等を用いる必要があり、各CCD撮像素子等が高価であるため、これら複数のフォーマットに適合したビデオカメラは高価なものとなる。

【0004】そこで、1種類の方式に適合したCCD撮像素子を用いて複数のフォーマットの映像信号を出力することができる撮像装置が従来から提案されていた（特開平5-207377公報）。この撮像装置は、図17に示すように、CCD撮像素子51とCCD駆動部52と不要電荷転送部53とで構成されている。CCD撮像素子51は、出力可能なフォーマットのうちで最も高画素数のフォーマットに適合した撮像素子であり、例えば水平1920×垂直1035画素の合計約200万画素を有するハイビジョン方式に適合したものが用いられる。CCD駆動部52は、このCCD撮像素子51における必要な領域の各画素の信号をインターレース走査又はノンインターレース走査によって順次読み出す装置である。また、不要電荷転送部53は、このCCD撮像素子51における不要な画素の電荷を垂直帰線期間内に転

3

送り破棄するための装置である。

【0005】上記撮像装置は、ハイビジョン方式の映像信号を出力する場合には、CCD撮像素子51の水平1920×垂直1035画素の全画素についてインターレース走査を行う。また、NTSC [National Television System Committee] 方式の映像信号を出力する場合には、CCD撮像素子51の全画素のうちの水平1370×垂直984画素の領域の画素についてインターレース走査を行う。これらのインターレース走査では、例えば第1フィールドの走査時に、まず不要電荷転送部53が第2フィールド側の各ラインの画素に蓄積された電荷を転送破棄した後に、第1フィールドの各ラインの画素の電荷を垂直転送部に転送すると共に順次水平転送部に転送して出力する。また、NTSC方式の場合には、水平方向に550個、垂直方向に51個の画素が不要となるので、これらの画素についても不要電荷転送部53で同時に転送破棄する。従って、この撮像装置は、CCD撮像素子51の全領域又は一部の領域の画素を読み出すことにより、異なるフォーマットの映像信号を出力することができる。

【0006】ところで、安価で画素数の少ないCCD撮像素子の解像度を向上させる技術としていわゆる空間斜め画素ずらし法がある。この空間斜め画素ずらし法は、図18に示すように、RGB三原色の各色用のCCD撮像素子の画素ピッチの水平方向をdx、垂直方向をdyとすると、緑色(G)用のCCD撮像素子の各画素に対して、赤色(R)用と青色(B)用のCCD撮像素子の各画素を水平方向にdx/2と垂直方向にdy/2ずつずらして配置する。赤色用と青色用に対して緑色用のCCD撮像素子の画素をずらすのは、輝度信号を生成する際に緑色の映像信号と、赤色および青色の映像信号の寄与率が同程度であるからである。(例えばNTSC方式では輝度信号の生成に使用される各色の寄与率は緑0.59に対して、赤0.30、青0.11である。)そして、各色の映像信号の画素数を水平及び垂直方向にそれぞれ2倍に拡大させ全体で4倍の画素数とする補間処理を行う。この補間処理は、図19に示すように、隣接する4個の実画素S(1,1)～S(2,2)に対して、これらの間に5個の画素Sa～Seを補間する処理である。各画素Sa～Seのサンプリング値は、4個の実画素S(1,1)～S(2,2)の各サンプリング値に基づいて数1の各演算を行うことにより計算する。

【0007】

【数1】

4

$$\left\{ \begin{array}{l} S_a = \frac{S(1,1) + S(2,1)}{2} \\ S_b = \frac{S(1,1) + S(1,2)}{2} \\ S_c = \frac{S(1,1) + S(1,2) + S(2,1) + S(2,2)}{4} \\ S_d = \frac{S(2,1) + S(2,2)}{2} \\ S_e = \frac{S(1,2) + S(2,2)}{2} \end{array} \right.$$

【0008】この数1の演算は、1次のラグランジュ [Lagrange] 多項式補間に相当するものである。

【0009】上記のようにして画素数を4倍にした各色の映像信号は、赤色と青色の映像信号の場合、図19に示した4個の実画素S(1,1)～S(2,2)の中間に補間された画素Scの位置に緑色の映像信号の実画素が重ねて配置され、また、緑色の映像信号で補間された画素に対しても赤色と青色の映像信号の実画素が同様に重ねて配置される。従って、この空間斜め画素ずらし法は、各色の映像信号における画素間の情報を他の色の映像信号により補うことができるので、単に補間処理のみによって画素数を4倍に増加させた場合よりも水平及び垂直解像度を向上させることができる。

【0010】

【発明が解決しようとする課題】ところで、上記従来の複数のフォーマットの映像信号を出力することができる撮像装置は、CCD撮像素子51の一部の領域の画素を読み出すことにより異なるフォーマットの映像信号を得るようにしているので、出力可能なフォーマットにおける最大画素数のフォーマットに適合した撮像素子を用いる必要がある。そして、このような例えばハイビジョン方式に適合した高画素数のCCD撮像素子51は、製造時の歩留りが悪く製造コストが極めて高いものになるため、撮像装置も高価になるという問題があった。また、このような200万画素を有する高画素数のCCD撮像素子51は、同じ光学系を用いた場合には、標準画素数(例えば40万画素程度)のCCD撮像素子に比べて、画素ごとの受光面積が狭くなるので、感度やダイナミックレンジが低下するという問題もあった。

【0011】ところで、高画素数のCCD撮像素子51が高価であるという問題に対しては、上記空間斜め画素ずらし法によりCCD撮像素子の画素数を4倍に増加させるという方法が考えられる。この空間斜め画素ずらし法は、汎用に用いられる標準画素数のCCD撮像素子を用いることにより、安価に高解像度を得ることができるという特徴が発揮できるものである。ところが、例えば水平720×垂直480画素の標準画素数のCCD撮像素子を用いた場合、これを空間斜め画素ずらし法により画素数を4倍にして水平1440×垂直960画素とし

5

ても、既存の高解像度のフォーマットが標準画素数のものと大きく異なるため、例えばHDフォーマットの水平1008×垂直1024画素に対して、水平方向の画素数は足りるが垂直方向の画素数が不足することになる。従って、上記従来の撮像装置における高画素数のCCD撮像素子51をこの空間斜め画素ずらし法を用いたCCD撮像素子に取り替えたとしても、既存の高解像度のフォーマットには対応し得ない。

【0012】しかも、この空間斜め画素ずらし法は、上記のように1次のラグランジュ多項式補間を用いるので、図19に示す水平方向のみの補間となる画素Sa、Seと垂直方向のみの補間となる画素Sb、Sdについては、数1に示したように、隣接する2個の実画素S(1, 1)、S(2, 1)等のみから補間される。従って、例えば画像の斜めエッジ部では、各画素で重なる実画素と補間された画素の色が異なることから色ムラを生じるおそれがあるという問題もあった。

【0013】本発明は、上記のような従来の問題点を鑑みてなされたもので、空間斜め画素ずらし法により安価に高解像度で4倍の画素数を得ると共に、画素数変換により任意の複数のフォーマットに対応した画像信号を得ることができる撮像装置を提供することが本発明の目的である。

【0014】

【課題を解決するための手段】請求項1の発明は、撮像光を三原色に分解する色分解光学系と、該色分解光学系によって分解されたいずれかの色の撮像光を受光する第1の撮像部と、該色分解光学系によって分解された他の2色の撮像光をそれぞれ受光し、かつ該第1の撮像部に対して水平及び垂直方向に1/2画素ずらして配置された第2と第3の撮像部と、該第1ないし第3の撮像部が撮像した三原色の画像信号をそれぞれデジタル信号に変換するA/D変換部と、該A/D変換部でデジタル信号に変換された三原色の各画像信号について、各画素間の画素を補間することにより、水平及び垂直方向に画素数をそれぞれ2倍に拡大させる補間処理を行う補間処理部と、該補間処理部で補間された三原色の各画像信号に対して、水平及び垂直方向の画素数変換処理を行うことにより各ラインの画素数とライン数を変換する処理、及びトリミング若しくは画像範囲外への所定信号の付加を行うことによりアスペクト比を変換する処理のうち少なくとも一つの処理を施し、該各画像信号を複数のフォーマットのうちのいずれかに基づいた画像信号に変換するフォーマット変換処理を行う画素数変換部とを備えたものであり、そのことにより上記目的が達成される。

【0015】請求項2の発明は、前記補間処理部を、補間処理を1次のラグランジュ型多項式補間によって行う構成としたものである。

【0016】請求項3の発明は、前記補間処理部を、補間処理を2次のラグランジュ型多項式補間によって行う

6

構成としたのである。

【0017】請求項4の発明は、前記補間処理部を、補間処理を2次以上のラグランジュ型多項式補間によって行う構成としたものである。

【0018】請求項5の発明は、前記画素数変換部を、画素数変換処理をラグランジュ型多項式補間によって行う構成としたものである。

【0019】請求項6の発明は、前記画素数変換部を、各ラインの各カラムの画素を現画素として順次供給すると共に、該各現画素ごとに、当該現画素に対して1ラインからnライン遅延したn個の遅延画素と、該現画素と該1ラインからnライン遅延したn個の画素に対してそれぞれ1カラムからnカラム遅延した $n \times (n+1)$ 個の遅延画素の合計 $n \times (n+2)$ 個の遅延画素を供給する画素供給手段と、該現画素と当該現画素についての遅延画素をそれぞれ係数倍して加算することによりn次のラグランジュ型多項式補間による補間画素を得る演算手段と、該演算手段に所定の周期で各係数を供給する係数供給手段とによって画素数変換を行う構成としたものである。

【0020】請求項7の発明は、前記A/D変換部でデジタル信号に変換された三原色の各画像信号について前記補間処理部で補間処理を行うかどうかを選択する選択手段、該補間処理部で補間された三原色の各画像信号について画素数変換部でフォーマット変換処理を行うかどうかを選択する選択手段、又は、該A/D変換部でデジタル信号に変換された三原色の各画像信号について該補間処理部と該画素数変換部で補間処理とフォーマット変換処理を行うかどうかを選択する選択手段を有するものである。

【0021】

【作用】色分解光学系は、撮像光を例えばRGB（赤緑青）の三原色に分解する。そして、本発明は、これら分解された各色の撮像光をそれぞれ個別の撮像部で受光する3板式の撮像装置を用いる。第1の撮像部と第2及び第3の撮像部は、画素が水平及び垂直方向に1/2ずつずれている。従って、これらの撮像部で撮像された画像信号上においては、第2及び第3の撮像部で撮像された隣接する4個の画素の中間に第1の撮像部で撮像された画素がそれぞれ配置されることになる。通常は、輝度信号に最も寄与する緑色（G）の撮像光を撮像するものが第1の撮像部となる。

【0022】上記各撮像部で撮像された各画像信号は、A/D変換部でデジタル信号に変換されて、補間処理部で水平及び垂直方向に画素数をそれぞれ2倍に拡大させる補間処理が行われる。即ち、水平及び垂直方向に隣接する2個の画素の中間に1個の画素が補間されると共に、隣接する4個の画素の中間にも1個の画素が補間されることになる。この際、画素をずらすことなく撮像した画像信号に同じ補間処理を行っても、補間による単な

7

る拡大処理にすぎないため本来の解像度の向上は図れない。しかし、本発明では、第2及び第3の撮像部で撮像された画像信号において隣接する4個の画素の中間に補間された画素が、第1の撮像部で撮像された画像信号における実画素と重なり合うので、いわゆる空間斜め画素ずらし法により解像度を向上させることができる。

【0023】上記補間処理部で補間処理された各画像信号は、画素数変換部でフォーマット変換処理が行われる。フォーマット変換処理では、水平方向及び垂直方向の画素数変換処理を行うことにより各ラインの画素数とライン数の変換を行う。この際、画素数を整数分の1に減ずる場合の処理以外では、各画素間の適宜位置に画素の補間処理が行われる。また、このフォーマット変換処理では、トリミング若しくは画像範囲外への所定信号の付加を行うことによりアスペクト比の変換も行う。そして、これら各ラインの画素数及びライン数の変換とアスペクト比の変換の双方又はいずれか一方の処理を行うことにより、複数のフォーマットのうちのいずれかに基づいた画像信号に変換する。ただし、複数のフォーマットのうちのいずれかについては、各ラインの画素数及びライン数の変換とアスペクト比の変換のいずれの処理も行わないものがあってもよい。なお、これら各ラインの画素数及びライン数の変換とアスペクト比の変換には、画像信号の時間軸を伝送レートに合わせるための時間軸補正処理が伴う。

【0024】この結果、本発明によれば、空間斜め画素ずらし法により、低価格の撮像部を用いて画像信号の解像度を高めることができ、各撮像部においても、画素ごとの受光量の増加を図り感度を向上させることができる。また、このようにして得た高解像度の画像信号に画素数変換処理等を施すことにより、複数のフォーマットの画像信号を選択して出力することが可能となる。

【0025】請求項2の発明は、上記補間処理部による補間処理を1次のラグランジュ型多項式補間によって行うものである。1次のラグランジュ型多項式補間は、隣接する4個の画素に基づいて補間を行うものであるため、この演算を行う回路の構成又はプログラムの構成を簡単なものにすることができる。

【0026】ただし、上記空間斜め画素ずらし法における補間処理を1次のラグランジュ型多項式補間によって行うと、画像の斜めエッジ部で色ムラを生じるという欠点がある。そこで、請求項3又は請求項4の発明では、この補間処理を2次又は2次以上のラグランジュ型多項式補間によって行うようにしている。2次のラグランジュ型多項式補間は、隣接する9個の画素に基づいて補間を行うものであるため、水平又は垂直方向の補間の場合にも、隣接する2個のみの画素に基づいて補間が行われるような場合がなくなり、画像の斜めエッジ部においても色ムラを抑制することができるようになる。2次以上のラグランジュ型多項式補間の場合も、次数をn次とす

8

ると、9個以上の $(n+1)$ 個の画素に基づいて補間が行われるので、同様に色ムラを抑制することができる。

【0027】請求項5の発明は、上記画素数変換部が、画素数変換処理をラグランジュ型多項式補間によって行うものである。通常の画素数変換処理は、各画素間の適正位置にサンプリング値0の画素を内挿して低域通過フィルタを通した後に画素の間引きを行うことにより画素数の変換を行う。しかし、画素の内挿は、サンプリング周波数を高めることになり、処理速度を高速化する必要がある。また、低域通過フィルタによるフィルタリング処理は、水平及び垂直方向の各画素について、前後の複数の画素をそれぞれフィルタ係数倍して加算する処理であるが、各画素についての前後の画素数が低域通過フィルタの次数に応じて増大し、しかも、内挿により画素数も増加することから、膨大な演算量を必要とする。従って、安価な撮像装置において、このような画素数変換処理は非現実的である。そこで、この請求項5の発明では、画素の内挿処理が不要となるラグランジュ型多項式補間を用いて変換後に必要となる画素の補間を行うことにより、画素数変換処理の演算を行う回路の構成又はプログラムの構成を低速で処理可能となる安価で簡単なものにしていく。

【0028】請求項6の発明は、1次のラグランジュ型多項式補間による画素数変換処理を行う上記請求項5の画素数変換部の具体的実施例を示すものであり、画素供給手段と演算手段と係数供給手段とによって実現している。

【0029】請求項7の発明は、補間処理部での補間処理と画素数変換部でのフォーマット変換処理を行うかどうかを選択することができる選択手段が設けられた撮像装置を示す。このような選択手段により、例えば不必要な信号処理をパスすることが可能となり、また、出力可能なフォーマットのバリエーションを広げることでもできるようになる。

【0030】

【実施例】以下、図面を参照しながら、本発明の実施例を詳述する。

【0031】(実施例1) 図1ないし図13は本発明の第1実施例を示すものであって、図1は撮像装置の構成を示すブロック図、図2は4種類のモードによる画素数変換処理を示す図、図3はSDモードにおける出力部での走査を示す図、図4はHD1モードとHD2モードにおける出力部での走査を示す図、図5はn次のラグランジュ型多項式補間を行う画素を示す図、図6は1次のラグランジュ型多項式補間を行う画素を示す図、図7は2次のラグランジュ型多項式補間を行う画素を示す図、図8は補間回路の構成を示すブロック図、図9はメモリ部の構成を示すブロック図、図10は補間処理部の補間回路として用いる場合のメモリ部の動作を示すタイムチャ

9

ート、図11は画素数変換部の補間回路として用いる場合のメモリ部の動作を示すタイムチャート、図12は補間回路による一般的な画素数変換処理を行う画素を示す図、図13はディジタルーディジタル変換による画素数変換処理を説明するための図である。

【0032】本実施例の撮像装置は、図1に示すように、撮像レンズ1とダイクロイックミラー2と3個のCCD撮像素子3～5を備えている。撮像レンズ1は、被写体からの撮像光を各CCD撮像素子3～5の受光面に結像させるための光学系である。ダイクロイックミラー2は、撮像レンズ1を通して入射した撮像光を、青反射ダイクロイック膜と赤反射ダイクロイック膜とによってRGB三原色の各色の光に分解してそれぞれのCCD撮像素子3～5に送る光学系である。各CCD撮像素子3～5は、ダイクロイックミラー2から送られて来た各色の撮像光を画素ごとに光電変換して電気信号に変換し画像信号（映像信号）として出力するCCD[Charge Coupled Device]を用いた固体撮像素子であり、CCD撮像素子3は、赤色の撮像光を受けてこの赤色（R）の画像信号を出力し、CCD撮像素子4は、緑色の撮像光を受けてこの緑色（G）の画像信号を出力し、CCD撮像素子5は、青色の撮像光を受けてこの青色（B）の画像信号を出力する。

【0033】各CCD撮像素子3～5は、SDフォーマット対応の標準的な画素数である水平720×垂直480画素の汎用で安価なものが用いられる。また、赤色（R）用と青色（B）用のCCD撮像素子3、5の画素は、空間斜め画素ずらし法のために、緑色（G）のCCD撮像素子4の画素に対して水平及び垂直方向に1/2画素ずつずらして配置されている。なお、CCD撮像素子は、インターレース走査を行うために内部で各画素の信号電荷を加算してから読み出すようにしたものがあ

る。しかし、ここでは、全画素をそのままノンインターレース走査で読み出す全画素読み出し方式のCCDを使用する。

【0034】上記各CCD撮像素子3～5から出力された各色の画像信号は、それぞれアンプ部6とA/D変換部7を介してガンマ補正部8に送られるようになっている。アンプ部6は、各画像信号について相関二重サンプリングとオートゲインコントロールと信号レベルの増幅処理を行う。A/D変換部7は、アンプ部6から出力されたアナログ信号の各画像信号をディジタル信号に変換する。そして、ガンマ補正部8は、A/D変換部7でディジタル信号に変換された各画像信号にガンマ補正を行う。このガンマ補正は、CCD撮像素子3～5の光電変換特性による階調（色調）の非線形性を補正するための係数を各画像信号に乗じる処理である。

【0035】上記ガンマ補正部8から出力された各画像信号は、補間処理部9に送られるようになっている。補間処理部9は、各画像信号の画素数を各画素間の補間に

10

より水平及び垂直方向に2倍に拡大する補間処理を行い、各CCD撮像素子3～5が出力する水平720×垂直480画素を水平1440×垂直960画素として4倍の画素数とする。画素間の補間には、後に詳細に説明するラグランジュ型多項式補間を用いる。このようにして画素数を4倍に拡大すると、各画像信号における隣接する4個の実画素の中間に補間される画素が相互に他の色の画像信号の実画素と重なり合うことになるので、単なる画素数の拡大処理の場合と異なり、空間斜め画素ずらし法によって解像度の向上を図ることができる。

【0036】上記補間処理部9で補間された各画像信号は、画素数変換部10に送られるようになっている。画素数変換部10は、画素数変換処理とアスペクト比の変換処理とからなるフォーマット変換処理を行う。画素数変換処理は、各画像信号の水平及び垂直方向の画素数を変換することにより、各ラインの画素数とライン数を変えるものであり、一般に適宜位置への画素の補間を行う必要があるため、本実施例ではこの補間にも上記ラグランジュ型多項式補間を用いる。アスペクト比の変換処理は、画像範囲の一部をカットするトリミングを行った後、画像範囲外への適宜信号の付加を行うことによりアスペクト比を変更する処理である。なお、このようなトリミングや信号の付加を行った場合にも画素数は変化する。そして、画素数変換処理やこのアスペクト比の変換処理では、画像信号の時間軸を伝送レートに合わせるために時間軸を補正する処理が伴う。これら画素数変換処理とアスペクト比の変換処理は、撮像装置に設定された変換モードに応じて実行される。変換モードは、図2に示すように、SDモードとHD1モードとHD2モードとスチルモードの4種類が設定可能となっている。ただし、これらの変換モードでは、アスペクト比の変換処理が行われない場合がある。

【0037】SDモードは、水平720×垂直480画素でアスペクト比が4:3のSDフォーマットに対応するモードであり、補間処理部9で補間された水平1440×垂直960画素でアスペクト比が4:3の各画像信号を、水平720×垂直960画素で同じアスペクト比の画像信号に変換する。ここでの画素数変換では、各ラインの画素数のみを1/2に縮小している。従って、変換後の各画像信号の垂直方向の画素数（ライン数）は960画素のままになっているが、これは後に説明するように出力時に480画素に縮小される。

【0038】HD1モードは、水平1008×垂直1024画素でアスペクト比が16:9のHDフォーマットに対応するモードであるが、画素数変換処理では、SDフォーマットと同じ水平720×垂直960画素でアスペクト比が4:3の画像信号に変換される。そして、この画素数変換した画像信号を本来のHDフォーマットの画像に貼り付ける。即ち、図2に示すハッチング部の領域に背景色の無地信号を付加することによりアスペクト

11

比を16:9に変換する。

【0039】HD2モードは、本来のHDフォーマットに対応したモードである。この場合には、まず水平1440×垂直960画素でアスペクト比が4:3の画像信号から図2に示す上下のハッチング部の領域をカットし、水平1440×垂直768画素でアスペクト比が16:9の画像信号にトリミングした後に、水平1008×垂直1024画素のHDフォーマットの画像信号に画素数変換する。ここでの画素数変換では、水平方向には各ラインの画素を10画素から7画素に縮小する操作を行い、垂直方向には3ラインを4ラインに拡大する操作を行っている。

【0040】スチルモードは、静止画像を得るためのフォーマットであり、この場合には、補間処理部9で補間された水平1440×垂直960画素でアスペクト比が4:3の各画像信号を変換を行うことなくそのまま出力する。つまり、このスチルモードは、本実施例の撮像装置におけるオリジナルのモードであるため、アスペクト比の変換処理はもちろん、画素数変換処理も行わない。そして、このスチルモードによって、空間斜め画素ずらし法による解像度の向上効果が最大限に利用される。

【0041】上記画素数変換部10でフォーマット変換処理された各画像信号は、図1に示すように、出力部11に送られるようになっている。出力部11は、各画像信号をそれぞれのモードに応じた形式で外部に出力する。即ち、SDモードでは、図3に示すように、奇数フィールドごとに順次連続する4ラインの各画素をそれぞれ加算平均しながら出力し、偶数フィールドでは、前回と次の奇数フィールドと2ラインずつ重複する4ラインの各画素をそれぞれ加算平均しながら出力することによりインターレース走査を行い、1フレーム当たり上記垂直方向の960画素から480画素への縮小を行う。また、RGB三原色の各画像信号から輝度信号(Y信号)、とB-Y信号及びR-Y信号からなる色差信号を作成し、CCIR(国際無線通信諮問委員会)の勧告601「4:2:2コンポーネント符号化方式」に準拠するように、輝度信号を13.5MHz、B-Y信号の色差信号を6.75MHz及びR-Y信号の色差信号を6.75MHzで伝送する。

【0042】HD1モードとHD2モードでは、図4に示すように、奇数フィールドごとに順次連続する2ラインの各画素をそれぞれ加算平均しながら出力し、偶数フィールドでは、前回と次の奇数フィールドと1ライン

12

ずつ重複する2ラインの各画素をそれぞれ加算平均しながら出力することによりインターレース走査を行う。また、RGB三原色の各画像信号から輝度信号(Y信号)、とB-Y信号及びR-Y信号からなる色差信号を作成し、「12:4:0コンポーネント符号化方式」に基づき、輝度信号を40.5MHz、色差信号を13.5MHzで伝送する。ここでの色差信号のB-Y信号とR-Y信号は、各ラインごとに時分割多重化される。

【0043】スチルフォーマットでは、RGB三原色の各画像信号をそのまま線順次のRGBデータとして出力する。そして、このRGBデータは、デジタルインターフェイスを通して、計算機やビデオプリンタ等に送られ画像処理やディスプレイ表示又はプリント出力される。

【0044】上記補間処理部9の補間処理と画素数変換部10の画素数変換処理で用いるラグランジュ型多項式補間について説明する。n次のラグランジュ型多項式補間は、図5に示すような水平及び垂直方向にn+1個ずつの画素 $S(x_1, y_1) \sim S(x_{n+1}, y_{n+1})$ のサンプリング値に基づいて、任意位置の画素 $S(x, y)$ の補間値を求めるものである。この場合、水平方向であるx方向のラグランジュ多項式は数2に示すものとなり、

【0045】

【数2】

$$L_i(x) = \prod_{\substack{j=1 \\ j \neq i}}^{n+1} \frac{x - x_j}{x_i - x_j}$$

【0046】y方向のラグランジュ多項式は数3に示すものとなる。

【0047】

【数3】

$$L_i(y) = \prod_{\substack{j=1 \\ j \neq i}}^{n+1} \frac{y - y_j}{y_i - y_j}$$

【0048】ここで、iは1~n+1の整数であり、x方向の各カラムとy方向の各ラインに対応する。従って、画素 $S(x, y)$ の補間値は、数4の行列式によって求めることができる。

【0049】

【数4】

$$S(x, y) = \begin{pmatrix} L_1(y) & L_2(y) & \dots & L_{n+1}(y) \end{pmatrix} \begin{pmatrix} S(x_1, y_1) & S(x_2, y_1) & \dots & S(x_{n+1}, y_1) \\ S(x_1, y_2) & S(x_2, y_2) & \dots & S(x_{n+1}, y_2) \\ S(x_1, y_3) & S(x_2, y_3) & \dots & S(x_{n+1}, y_3) \\ \vdots & \vdots & \ddots & \vdots \\ S(x_1, y_{n+1}) & S(x_2, y_{n+1}) & \dots & S(x_{n+1}, y_{n+1}) \end{pmatrix} \begin{pmatrix} L_1(x) \\ L_2(x) \\ L_3(x) \\ \vdots \\ L_{n+1}(x) \end{pmatrix}$$

13

【0050】上記説明より、1次のラグランジュ型多項式補間は、図6に示す4個の画素S(x1, y1)～S(x2, y2)のサンプリング値に基づいて画素S(x, y)の補間値を求めることになる。ここでは、画素S(x, y)の画素S(x1, y1)からのx方向の距離をrxとし、y方向の距離をryとしている。そして、x方向のラグランジュ多項式は、数2より数5に示すものとなり、

【0051】

【数5】

$$\begin{cases} L_1(x) = \frac{x-x_2}{x_1-x_2} = 1-r_x = K_1 \\ L_2(x) = \frac{x-x_1}{x_2-x_1} = r_x = K_2 \end{cases}$$

【0052】y方向のラグランジュ多項式は、数3より数6に示すものとなる。

$$\begin{aligned} S(x, y) &= (1-r_y \quad r_y) \begin{pmatrix} S(1,1) & S(2,1) \\ S(1,2) & S(2,2) \end{pmatrix} \begin{pmatrix} 1-r_x \\ r_x \end{pmatrix} \\ &= (1-r_x)(1-r_y)S(1,1) + (1-r_x)r_yS(1,2) \\ &\quad + r_x(1-r_y)S(1,2) + r_xr_yS(2,2) \\ &= K_3(K_1S(1,2)+K_2S(1,1)) + K_4(K_1S(2,2)+K_2S(1,2)) \end{aligned}$$

【0056】この数7では、行列式を展開した式と、これを係数K1～K4を用いて表した式も示している。

【0057】ここで、上記図19に示した画素Scを補間すべき画素S(x, y)とすると、距離rx, ryと係数K1～K4はそれぞれ数8に示したものとなり、

【0058】

【数8】

$$r_x = r_y = \frac{1}{2} \quad K_1 = K_2 = K_3 = K_4 = \frac{1}{2}$$

【0059】これを数7に代入すると、この画素S(x, y)の補間値は数9となる。

【0060】

【数9】

$$S(x, y) = \frac{S(1,1)+S(2,1)+S(1,2)+S(2,2)}{4}$$

【0061】また、例えば画素Saを補間すべき画素S(x, y)とすると、距離rx, ryと係数K1～K4はそれぞれ数10に示したものとなり、

【0062】

【数10】

$$\begin{cases} r_x = \frac{1}{2} & r_y = 0 \\ K_1 = K_2 = \frac{1}{2} & K_3 = 1 & K_4 = 0 \end{cases}$$

【0063】これを数7に代入すると、この画素S(x, y)の補間値は数11となる。

【0064】

14

【0053】

【数6】

$$\begin{cases} L_1(y) = \frac{y-y_2}{y_1-y_2} = 1-r_y = K_3 \\ L_2(y) = \frac{y-y_1}{y_2-y_1} = r_y = K_4 \end{cases}$$

【0054】ここでは、各カラム間とライン間の距離をそれぞれ1とし、各ラグランジュ多項式を距離rx, ryを用いて表現している。また、これら各ラグランジュ多項式は、それぞれ係数K1～K4に割り当てている。これらの係数K1～K4には、K1+K2=1、K3+K4=1の関係がある。そして、画素S(x, y)の補間値は、数7の行列式によって求めることができる。

【0055】

【数7】

【数11】

$$S(x, y) = \frac{S(2,1)+S(1,1)}{2}$$

【0065】そして、以下も同様にして計算すると、画素Sa～Seの数7による各補間値は上記数1に一致し、空間斜め画素ずらし法の補間処理では従来から1次のラグランジュ型多項式補間を行っていることが分かる。

【0066】次に、2次のラグランジュ型多項式補間の場合には、図7に示す9個の画素S(x1, y1)～S(x3, y3)のサンプリング値に基づいて画素S(x, y)の補間値を求めることになる。ここでも、画素S(x, y)の画素S(x2, y2)からの距離をそれぞれrx, ryとしている。そして、x方向のラグランジュ多項式は数12に示すものとなり、

【0067】

【数12】

$$\begin{cases} L_1(x) = \frac{x-x_2}{x_1-x_2} \cdot \frac{x-x_3}{x_1-x_3} = \frac{r_x(r_x-1)}{2} \\ L_2(x) = \frac{x-x_1}{x_2-x_1} \cdot \frac{x-x_3}{x_1-x_3} = -(r_x+1)(r_x-1) \\ L_3(x) = \frac{x-x_1}{x_3-x_1} \cdot \frac{x-x_2}{x_3-x_2} = \frac{r_x(r_x+1)}{2} \end{cases}$$

【0068】y方向のラグランジュ多項式は数13に示すものとなる。

【0069】

50 【数13】

15

$$\begin{cases} L_1(y) = \frac{y-y_2}{y_1-y_2} \cdot \frac{y-y_3}{y_1-y_3} = \frac{r_y(r_y-1)}{2} \\ L_2(y) = \frac{y-y_1}{y_2-y_1} \cdot \frac{y-y_3}{y_1-y_3} = -(r_y+1)(r_y-1) \\ L_3(y) = \frac{y-y_1}{y_3-y_1} \cdot \frac{y-y_2}{y_3-y_2} = \frac{r_y(r_y+1)}{2} \end{cases}$$

$$S(x,y) = \left(\frac{r_y(r_y-1)}{2} \quad -(r_y+1)(r_y-1) \quad \frac{r_y(r_y+1)}{2} \right) \begin{pmatrix} S(1,1) & S(2,1) & S(3,1) \\ S(1,2) & S(2,2) & S(3,2) \\ S(1,3) & S(2,3) & S(3,3) \end{pmatrix} \begin{pmatrix} \frac{r_x(r_x-1)}{2} \\ -(r_x+1)(r_x-1) \\ \frac{r_x(r_x+1)}{2} \end{pmatrix}$$

【0072】補間処理部9と画素数変換部10で上記1次のラグランジュ型多項式補間を行う場合の具体的な構成を説明する。図8に上記数7の演算を行う補間回路を示す。この数7の演算では、隣接する4個の画素のサンプリング値を用いるので、シリアルに入力される各画素に対して1ライン遅延した画素とこれらの画素からさらに1画素（カラム）遅延した画素が必要となる。従って、この補間回路は、画素を1ライン遅延させるためと、補間による入出力のサンプリングレートの相違を緩衝するためにメモリ部21を備えている。補間処理部9と画素数変換部10は、各色の画像信号ごとにそれぞれ補間回路を設けているので、このメモリ部21には、いずれかの画像信号がシリアルに入力される。

【0073】上記補間回路には、図示しないタイミングコントローラから入力用クロックと入力用ラインクロックと第1出力用クロックと第2出力用クロックと出力用ラインクロックが供給されるようになっている。そして、メモリ部21には、これらのうち、入力用クロックと入力用ラインクロックと第1出力用クロックと出力用ラインクロックが入力されるようになっている。入力用クロックと入力用ラインクロックは、入力される画像信号の各画素と各ラインを1周期とした信号であり、第2出力用クロックと出力用ラインクロックは、補間後の画像信号の各画素と各ラインを1周期とした信号である。そして、第1出力用クロックは、入力される画像信号を垂直方向にのみ補間した場合の各画素を1周期とした信号である。従って、補間処理部9の補間回路として用いる場合には、入力用クロックと入力用ラインクロックに対して、第1出力用クロックと出力用ラインクロックの周波数が2倍になり、第2出力用クロックの周波数は4倍となる。また、画素数変換部10の補間回路として用いる場合には、フォーマットに応じた周波数となる。

【0074】上記メモリ部21は、図9に示すように、4個のラインメモリ21a～21dを備えている。これらのラインメモリ21a～21dは、入力画素を1ライン分記憶できるFIFO[First-In First-Out]メモリに

16

【0070】従って、画素S(x, y)の補間値は、数14の行列式によって求めることができる。

【0071】

【数14】

によって構成され、入力用クロックに基づいて各画素の入力が行われると共に、第1出力用クロックに基づいて各画素の出力が行われるようになっている。また、本来のFIFOメモリは出力データが失われるので、同じラインの画素を繰り返し読み出すことができるように、出力された画素をそれぞれスイッチ回路21e…を介して第1出力用クロックに基づき再度入力できるように帰還回路が設けられている。ただし、これらのラインメモリ21a～21dがRAMと入出力アドレス制御部によって構成される場合には、アドレス操作だけで繰り返し読み出しを行うことができるので、このような帰還回路は不要となる。

【0075】メモリ部21に入力された画素は、まずセクタ21fに送られる。このセクタ21fは、入力用ラインクロックによって4進カウントを行うカウンタ21gの出力に応じて、上記ラインメモリ21a～21dを順に選択し、この選択したいいずれかのラインメモリ21a～21dに画素を送るようになっている。また、メモリ制御部21hも、入力用ラインクロックに基づいて同じラインメモリ21a～21dを選択し入力動作を行うように制御する。従って、各画素は、ラインごとに振り分けて各ラインメモリ21a～21dに入力されることになる。

【0076】上記各ラインメモリ21a～21dから出力された各画素は、2個のマルチプレクサ21i、21jを介してノードAとノードBから外部に出力されるようになっている。メモリ制御部21hは、出力用ラインクロックに基づいて、入力動作を行っているラインメモリ21a～21d以外のいずれか2個を選択し、それぞれに画素の出力動作を行わせると共に、各マルチプレクサ21i、21jの入力を切り替えて、これらの出力画素をノードAとノードBのいずれから出力するかを制御する。ここでのメモリ制御部21hは、2個のラインメモリ21a～21dを画素が入力された順に選択すると共に、一方のラインメモリ21a～21dから読み出した画素をマルチプレクサ21iを介してノードAに出力

17

する場合には、他方のラインメモリ21a~21dは必ず1ライン前の画素を入力したものを選択して、このラインメモリ21a~21dから読み出した画素をマルチプレクサ21jを介してノードBに出力するように制御する。そして、補間処理部9の補間回路として用いる場合には、最初の1ラインを除き各ラインメモリ21a~21dから2回ずつ繰り返し読み出しを行う。しかし、画素数変換部10の補間回路として用いる場合に、1ライン分の画素を読み出した後に再度同じラインメモリ21a~21dから繰り返し読み出すかどうかはフォーマットによって異なる。

【0077】従って、メモリ部21では、入力画素をノードAとノードBから第1出力用クロックに応じたレートで順次出力し、しかも、垂直方向の補間の際の必要に応じて同一ラインの画素を繰り返し出力することになる。また、ノードBから出力される画素は、常にノードAから出力される画素より1ライン遅延したものとなる。

【0078】補間処理部9の補間回路として用いる場合の上記構成のメモリ部21の動作を図10に基づいて説明する。この図10では、各ラインの画像信号をD1、D2...というようにライン番号の添え字を付して示している。また、ハッチングで示した部分は、ラインメモリ21a~21dが入力状態であることを示し、空白の部分はデータが不定であることを示す。

【0079】メモリ部21に入力された第1ラインの画像信号D1は、ラインメモリ21aに記憶され、次に入力された第2ラインの画像信号D2は、ラインメモリ21bに記憶され、第3ラインと第4ラインの画像信号D3、D4も同様にラインメモリ21c、21dに記憶される。そして、第5ラインの画像信号D5が入力されると、ラインメモリ21aの記憶内容がこの画像信号D5に書き替わり、以降同様の動作を繰り返す。また、ノードAからは、入力の2倍の周波数で、まず第1ラインの画像信号D1が1回出力され、第2ライン以降の画像信号D2...が2回ずつ繰り返して出力される。これに対してノードBの出力は、このノードAの出力より1ライン遅れて各画像信号D1...が2回ずつ繰り返し出力される。従って、この場合には、最初の1ラインを除けば、ノードAとノードBから各ラインの画像信号が2回ずつ出力されることになる。

【0080】画素数変換部10の補間回路として用いる場合の上記構成のメモリ部21の動作を図11に基づいて説明する。この図11でも、画像信号D1、D2...等を図10と同様に表す。また、ここでは、HD2モードの場合を例示する。従って、ライン数については、3本のラインを4本に変換することにより、768本のラインを1024本に拡大する場合を示す。各ラインメモリ21a~21dへの入力動作は、図10の場合と同じである。

18

【0081】ノードAからは、入力の4/3倍の周波数で、まず第1ライン~第3ラインの画像信号D1~D3が1回ずつ順に出力され、その後第4ラインの画像信号D4が2回続けて出力され、第5ライン以降は同じ動作を繰り返す。また、ノードBからは、このノードAの出力よりも1ライン遅れて、まず第1ラインと第2ラインの画像信号D1、D2が1回ずつ順に出力され、その後第3ラインの画像信号D3が2回続けて出力され、最後に第4ラインの画像信号D4が1回出力され、第5ライン以降は同じ動作を繰り返す。従って、この場合には、最初の1ラインを除けば、ノードAとノードBから3ラインの画像信号が出力されると一次の1ラインは前回と同じラインの画像信号が出力され、4ライン周期でこれを繰り返すことになる。

【0082】図8に示すように、上記メモリ部21のノードAから出力される各画素は、係数器22を介して加算器23に送られると共に、1画素遅延回路24で1画素遅延されて係数器25を介し同じ加算器23に送られる。また、ノードBから出力される1ライン遅延された各画素は、係数器26を介して加算器27に送られると共に、1画素遅延回路28で1画素遅延されて係数器29を介し同じ加算器27に送られる。そして、加算器23の出力は係数器30を介して加算器31に送られ、加算器27の出力は係数器32を介して同じ加算器31に送られる。ここで、係数器22と係数器26は、入力値を上記数5に示した係数K1倍する回路であり、係数器25と係数器29は、入力値を係数K2倍する回路である。また、係数器30は、入力値を上記数6に示した係数K3倍する回路であり、係数器32は、入力値を係数K4倍する回路である。従って、この加算器31の出力は、上記数7に示した最後の式の演算により画素S(x, y)の補間値を計算したものとなる。

【0083】上記係数器30、32の各係数K3、K4は、出力用ラインクロックに基づくラインカウンタ33の出力に応じて値が変化するので、ノードA、Bから1ラインの画素信号が出力されるたびに係数K3、K4が切り替わる。また、これらの係数K3、K4は、補間処理がPラインをQラインに変換するものである場合には、PとQの最小公倍数をRとすると、R/Pラインの周期で繰り返し値が変化することになる。そして、ラインカウンタ33は、このR/P進カウンタとして動作する。補間処理部9の補間回路として用いられる場合には、1ラインが2ラインに拡張されるので2ラインで1周期となり、図10に示すように、係数K3の値が1→1/2→1と変化し、係数K4の値が0→1/2→0と変化する。また、画素数変換部10の補間回路として用いられる場合であって、図11に示したHD2モードによる3本のラインを4本に変換する際には、P=3、Q=4、R=12となるので4ラインで1周期となり、この図11に示すように、K3の値が1→3/4→1/2→1/

19

4→1と変化し、K4の値が0→1/4→1/2→3/4→0と変化する。

【0084】上記係数22, 25, 26, 29の各係数K1, K2は、第2出力用クロックに基づくカラムカウンタ34の出力に応じて値が変化するので、ノードA, Bから出力される1個の画素に対して、水平方向の補間に応じこれらの係数K1, K2が複数回変化する場合があります。また、これらの係数K1, K2は、各ラインの画素について水平方向にM画素をN画素に変換する場合には、MとNの最小公倍数をKとすると、K/M画素の周期で繰り返し値が変化する。そして、カラムカウンタ34は、このK/M進カウンタとして動作する。補間処理部9の補間回路として用いられる場合には、1画素が2画素に拡張されるので2画素で1周期となり、係数K1の値が1→1/2→1と変化し、係数K2の値が0→1/2→0と変化する。この際、係数K1が1となる場合には、上記係数K3も1となり、係数K2, K4は0となるので、ノードAから出力された画素のサンプリング値がそのまま加算器31から出力される。これは、補間回路が形式的に実画素からの距離が0の位置にも画素を補間することを示す。そして、係数K1, K2の値が1/2となった場合に本来の補間が行われ、加算器31から補間された画素の補間値が出力される。また、画素数変換部10の補間回路として用いられる場合には、フォーマットに応じた周期で変化する。

【0085】上記加算器31から出力される値は、第2出力用クロックに基づいてラッチ回路35でラッチされる。そして、このラッチ回路35から第2出力用クロックに同期して出力される信号が補間回路の出力となる。

$$S_m(3,2) = K_3(K_1S(4,2) + K_2S(3,2)) + K_4(K_1S(4,3) + K_2S(3,3))$$

$$= \frac{1}{2}(\frac{2}{3}S(4,2) + \frac{1}{3}S(3,2)) + \frac{1}{2}(\frac{2}{3}S(4,3) + \frac{1}{3}S(3,3))$$

【0090】従って、図11ではHD2モードにおけるライン数の変換のみを示したが、各ラインの画素数を1440画素から1008画素に変換する処理も、係数K1, K2を適宜定めることにより可能となり、これによってHD2モードでの画素数変換処理を行うことができる。

【0091】なお、上記で説明した補間回路による演算処理は、図8に示すようなハードウェアを用いる他、その一部又は全部の処理をソフトウェアで実現することも可能である。

【0092】ここで、上記補間回路に用いた1次のラグランジュ型多項式補間は、同一ライン上の画素間又は同一カラム上の画素間の補間を行う場合に、画像の斜め方向のエッジ部で色ムラが生じるという欠点がある。しかし、例えば、数14に示した2次のラグランジュ型多項式補間の行列式に基づいて図8の補間回路を構成すれば、このような色ムラを抑制することができる。この補

20

従って、この補間回路は、補間処理部9に用いる場合には、画素数を垂直方向と水平方向に2倍ずつ合計で4倍に変換する補間処理を行う。これに対して、画素数変換部10に用いる場合には、出力フォーマットに応じて異なる画素数変換処理を行うことになる。そこで、この図8の補間回路を用いた一般的な画素数変換処理の場合について図12にもとづいてさらに詳しく説明する。

【0086】ここでは、簡単のために、水平8×垂直6画素の画像を水平6×垂直4画素の画像に変換する場合について説明する。入力信号の各画素S(1, 1)～S(8, 6)は白抜きの丸で示し、出力信号の各画素Sm(1, 1)～Sm(6, 4)はハッチングを施した三角形で示す。ここで、fIHは入力用クロックの周波数を示し、fIVは入力用ラインクロックの周波数を示す。また、fOHは第2出力用クロックの周波数を示し、fOVは出力用ラインクロックの周波数を示す。

【0087】この図12では、図の下端に出力信号の各画素Sm(1, 1)～Sm(6, 4)のカラムごとの係数K1, K2の値を示している。ここでは、上記M=8, N=6, K=24であることから、K/M=3画素の周期で値が変化している。また、図の右端には、出力信号の各画素Sm(1, 1)～Sm(6, 4)のラインごとの係数K3, K4の値を示している。ここでは、上記P=6, Q=4, R=12となるので、R/P=2ラインの周期で値が変化している。

【0088】この図12における例えば画素Sm(3, 2)のサンプリング値は、数15を計算すればよい。

【0089】

【数15】

間回路は、図8で示した場合と同様に、数14の行列式を展開すれば、これに応じて係数器と加算器を組み合わせることにより容易に構成することができる。また、数4に示した行列式を用いて、3次以上のラグランジュ型多項式補間による補間回路を構成することも可能である。

【0093】さらに、上記補間回路は、ラグランジュ型多項式補間以外の補間方式を用いることもできる。特に画素数変換部10における画素数変換処理は、従来からのテレビジョン方式の変換処理等に用いられるものと同様の処理であるため、通常はディジタルーディジタル変換によるのが一般的である。このようなディジタルーディジタル変換による画素数変換処理を図13に基づいて説明する。ここでは、HD2モードにおける水平1440×垂直768画素から水平1008×垂直1024画素への画素数変換処理を例示する。即ち、水平方向には10画素を7画素に縮小し、垂直方向には3ラインを4

21

ラインに拡大する処理を示す。

【0094】変換前の原信号は、図示のように、水平空間サンプリング周波数が f_{SH} 、垂直空間サンプリング周波数が f_{SV} とする。まず、この原信号をプリフィルタ41に入力する。このプリフィルタ41は、画素数変換後に折り返し歪みが影響しないように、事前に帯域を制限するための低域通過フィルタである。

【0095】次に、内挿処理部42で、水平方向の各画素間にサンプリング値0の画素を6画素ずつ内挿すると共に、垂直方向の各ライン間にもサンプリング値0の画素のみからなるラインを3ラインずつ内挿する。即ち、水平空間サンプリング周波数を7倍の $7f_{SH}$ にし、垂直空間サンプリング周波数を4倍の $4f_{SV}$ にオーバーサンプリングする。このような内挿を行っても原信号の周波数スペクトルは変化しない。しかし、この周波数スペクトル上におけるナイキスト周波数は水平方向が $7f_{SH}/2$ に広がり垂直方向が $4f_{SV}/2$ に広がることになるので、元のナイキスト周波数である $f_{SH}/2$ と $f_{SV}/2$ を超える周波数帯域に不要な周波数成分が生じることになる。そこで、この信号を、水平空間周波数 $f_{SH}/2$ 、垂直空間周波数 $f_{SV}/2$ を遮断周波数とする低域通過フィルタである補間用ローパスフィルタ43に通すと、この不要な周波数成分が除去される。そして、これにより、先に内挿した各画素のサンプリング値が補間されることになる。また、間引き処理部44で、この補間された信号から水平方向の10画素に1画素ずつ、及び、垂直方向の3画素に1画素ずつを取り出す間引きを行うと、水平空間サンプリング周波数が $(7/10)f_{SH}$ 、垂直空間サンプリング周波数が $(4/3)f_{SV}$ に画素数変換された信号を得ることができる。

【0096】ところが、このような処理は、変換前の周波数と変換後の周波数の最小公倍数による極めて高い周波数によるオーバーサンプリングを行う必要があり、しかも、プリフィルタ41や補間用ローパスフィルタ43によるフィルタリング処理は、水平及び垂直方向の各画素について、前後の複数の画素をそれぞれフィルタ係数倍して加算する処理であり、各画素についての前後の画素数がこれらのフィルタ41、43の次数に応じて増大し、しかも、内挿により画素数も増加することから膨大な演算量を必要とするので、演算速度の点では必ずしも現実的ではない。

【0097】このため、本実施例では、この計算量を短縮するために上記ラグランジュ型多項式補間を用いている。ただし、上記プリフィルタ41と補間用ローパスフィルタ43によるフィルタリング処理を1度で済ませ、しかも、サンプリング値が0である内挿した画素を省いて、本来の画素にのみフィルタ係数を供給するようにすれば、計算量を大幅に減少させることができる。そして、このような演算は、フィルタ係数がラグランジュ多項式の次数に対応するラグランジュ型多項式補間と同様

22

の効果を得ることができる。

【0098】以上説明したように本実施例の撮像装置によれば、空間斜め画素ずらし法により、標準画素数を有する低価格のCCD撮像素子3～5を用いて画像信号の解像度を向上させることができるようになる。また、高画素数の撮像素子に比べて、各CCD撮像素子3～5の各画素の受光量が多いので、感度やダイナミックレンジを向上させることができる。しかも、画素数変換部10でこの高解像度の画像信号の画素数変換処理やアスペクト比の変換処理を行うことにより、4種類のフォーマットの画像信号を任意に選択して出力することが可能となる。

【0099】さらに、補間処理部9の補間処理を1次のラグランジュ型多項式補間で行う場合には、演算処理が簡単になり、装置を安価にすることができる。また、この補間処理部9の補間処理を2次以上のラグランジュ型多項式補間で行う場合には、空間斜め画素ずらし法の欠点である画像の斜めエッジ部での色ムラを抑制することができる。そして、画素数変換部10での画素数変換処理も演算処理が簡単な1次又は2次以上のラグランジュ型多項式補間によるので、装置を安価にすることができる。

【0100】（実施例2）図14は本発明の第2実施例を示すものであって、撮像装置の構成を示すブロック図である。なお、図1に示した第1実施例と同様の機能を有する構成部材には同じ番号を付記して説明する。

【0101】本実施例は、図1に示した第1実施例の撮像装置に出力セクタ12～14を設けたものである。出力セクタ12～14は、出力部11の入力をガンマ補正部8の出力と画素数変換部10の出力とに切り替えるものである。そして、これらの出力セクタ12～14が図14に示すように画素数変換部10の出力側に接続されている場合には、第1実施例と同じ構成となる。しかし、SDモードの場合には、これらの出力セクタ12～14がガンマ補正部8の出力側に接続されるようになっている。すると、このガンマ補正部8から出力された各色の画像信号は、補間処理部9と画素数変換部10とを通過せずにそのまま出力部11に入力することができる。SDモードは、CCD撮像素子3～5が出力する水平 $720 \times$ 垂直 480 画素の画像信号と同じ形式である。従って、このSDモードの場合には、出力部11が上記図4に示したHD1モードと同じように、2ラインの各画素をそれぞれ加算平均すれば、インタレース走査による画像信号を出力することができる。

【0102】なお、スチルモード時には、画素数変換部10での画素数変換処理を行わないので、同様の出力セクタ12～14を用いて、補間処理部9で補間処理を行った信号を直接出力部11に送るようにしてもよい。また、ガンマ補正部8から出力された信号を補間処理部9での補間処理を行わずに直接画素数変換部10に送り

画素数変換処理等のみを行うようにすることもできる。

【0103】以上説明したように本実施例の撮像装置によれば、SDモードの場合に、緑色の画像信号と赤色及び青色の画像信号との間に1/2画素のずれは生じるが、補間処理部9での補間処理と画素数変換部10での間引き処理を行う無駄をなくすることができるので、信号の劣化を少なくすることができる。また、同様の出力セレクタ12～14を用いることにより、出力可能なフォーマットのバリエーションを増加することも可能となる。

【0104】

【発明の効果】以上の説明から明らかなように、本発明によれば、安価で高感度の撮像部を用いて複数のフォーマットによる解像度の高い画像信号を得ることができるので、各フォーマットごとに異なる撮像装置を用いる必要がなくなり、汎用性の高い撮像装置を得ることができる。

【0105】また、補間処理や画素数変換処理にラグランジュ型多項式補間を用いることにより演算処理を簡単にして、撮像装置のコストアップを低減することができる。しかも、補間処理に2次以上のラグランジュ型多項式補間を用いることにより、空間斜め画素ずらし法における画像の斜めエッジ部に生じる色ムラを抑制することができる。

【図面の簡単な説明】

【図1】本発明の第1実施例を示すものであって、撮像装置の構成を示すブロック図である。

【図2】本発明の第1実施例を示すものであって、4種類のモードによる画素数変換処理を示す図である。

【図3】本発明の第1実施例を示すものであって、SD 30モードにおける出力部での走査を示す図である。

【図4】本発明の第1実施例を示すものであって、HD 1モードとHD 2モードにおける出力部での走査を示す図である。

【図5】本発明の第1実施例を示すものであって、n次のラグランジュ型多項式補間を行う画素を示す図である。

【図6】本発明の第1実施例を示すものであって、1次のラグランジュ型多項式補間を行う画素を示す図である。

【図7】本発明の第1実施例を示すものであって、2次のラグランジュ型多項式補間を行う画素を示す図である。

【図8】本発明の第1実施例を示すものであって、補間回路の構成を示すブロック図である。

【図9】本発明の第1実施例を示すものであって、メモリ部の構成を示すブロック図である。

【図10】本発明の第1実施例を示すものであって、補間処理部の補間回路として用いる場合のメモリ部の動作

を示すタイムチャートである。

【図11】本発明の第1実施例を示すものであって、画素数変換部の補間回路として用いる場合のメモリ部の動作を示すタイムチャートである。

【図12】本発明の第1実施例を示すものであって、補間回路による一般的な画素数変換処理を行う画素を示す図である。

【図13】本発明の第1実施例を示すものであって、ディジタルーディジタル変換による画素数変換処理を説明するための図である。

【図14】本発明の第2実施例を示すものであって、撮像装置の構成を示すブロック図である。

【図15】SDフォーマットの仕様を示す図である。

【図16】HDフォーマットの仕様を示す図である。

【図17】従来例を示すものであって、撮像装置の構成を示すブロック図である。

【図18】従来例を示すものであって、空間斜め画素ずらし法による各CCD撮像素子の画素の配置を示す図である。

【図19】従来例を示すものであって、空間斜め画素ずらし法による画素の補間処理を示す図である。

【符号の説明】

2 ダイクロイックミラー

3 R用CCD撮像素子

4 G用CCD撮像素子

5 B用CCD撮像素子

6 アンプ部

7 A/D変換部

8 ガンマ補正部

9 補間処理部

10 画素数変換部

12、13、14 出力セレクタ

21 メモリ部

21a、21b、21c、21d ラインメモリ

21e スイッチ回路

21f セレクタ

21g カウンタ

21h メモリ制御部

21i、21j マルチプレクサ

40 22、25、26、29、30、32 係数器

24、28 1画素遅延回路

23、27、31 加算器

33 ラインカウンタ

34 カラムカウンタ

35 ラッチ回路

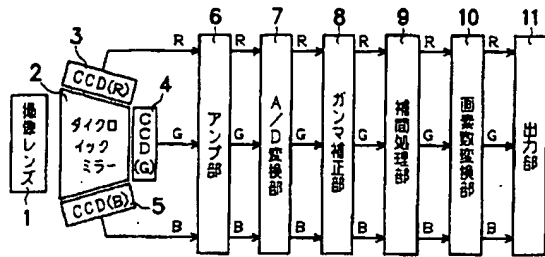
41 プリフィルタ

42 内挿処理部

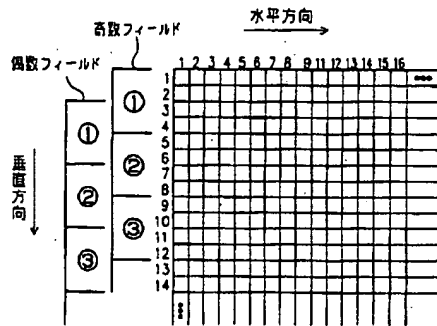
43 補間用ローパスフィルタ

44 間引き処理部

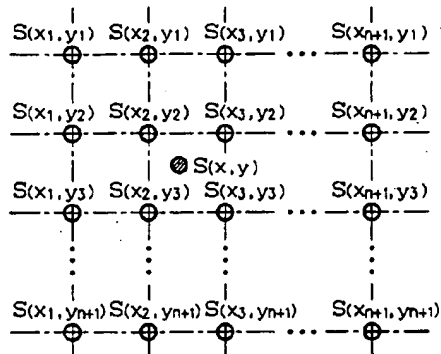
【図 1】



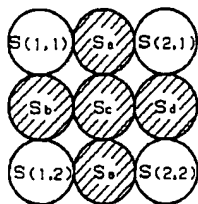
【図 3】



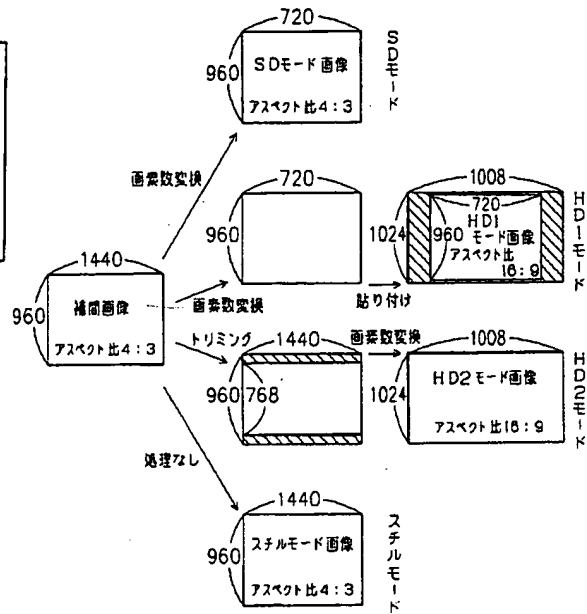
【図 5】



【図 19】

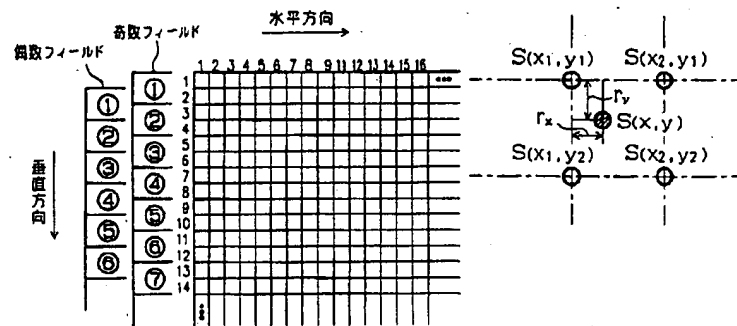


【図 2】



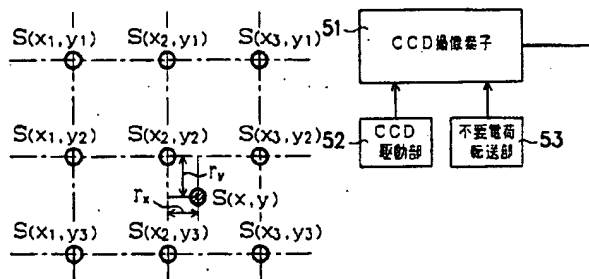
【図 4】

【図 6】

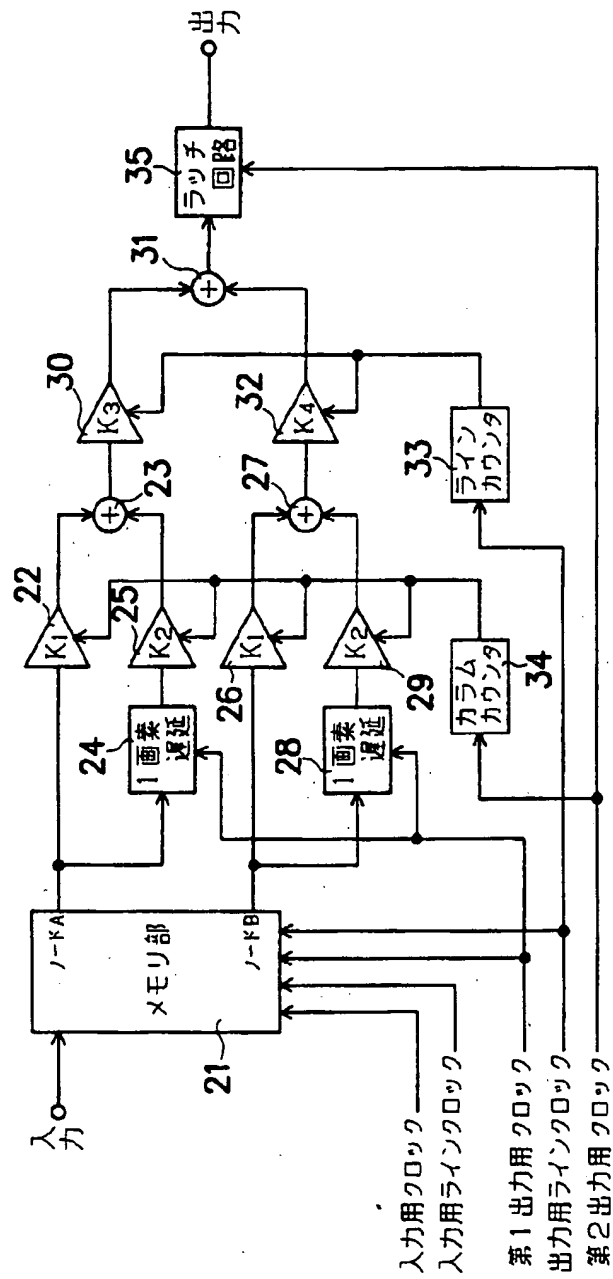


【図 7】

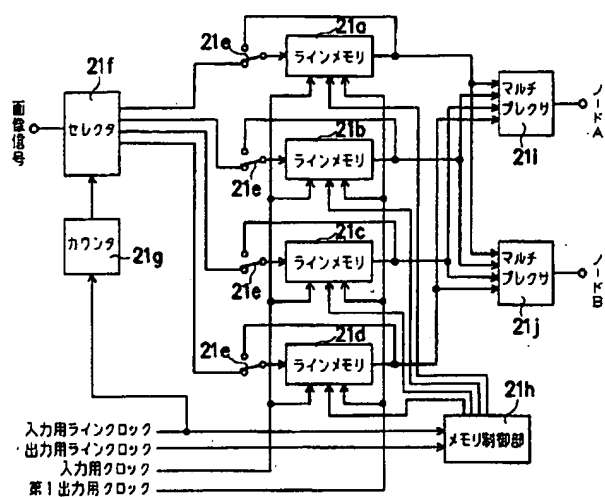
【図 17】



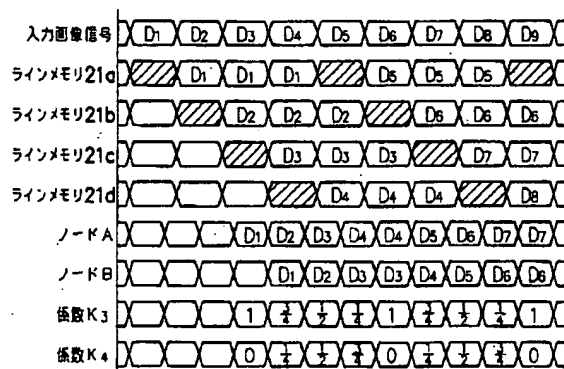
【図8】



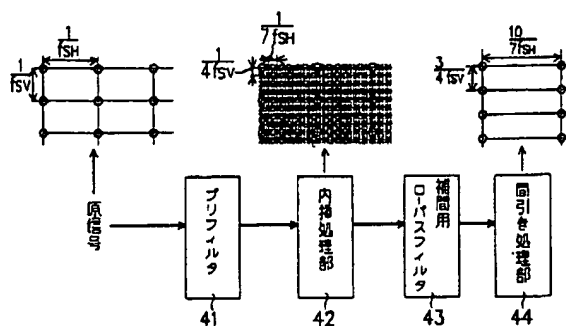
【图9】



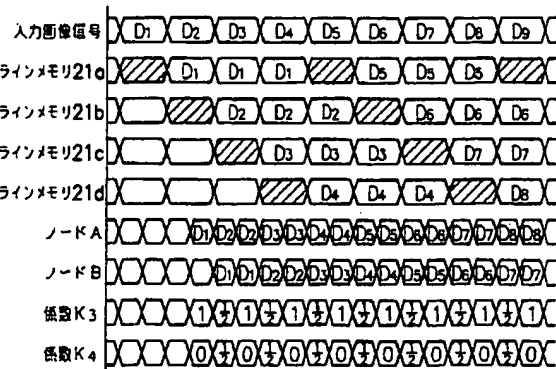
【图 1 1】



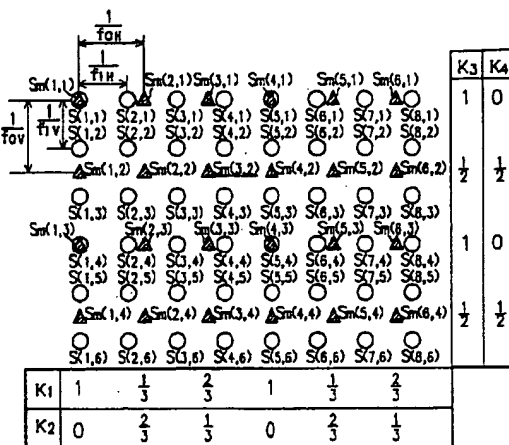
【图 13】



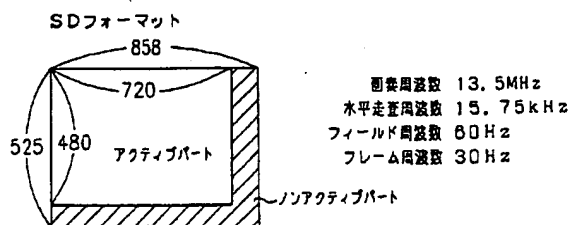
【图 10】



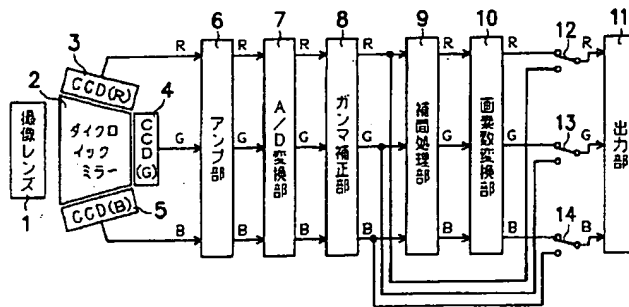
【图 12】



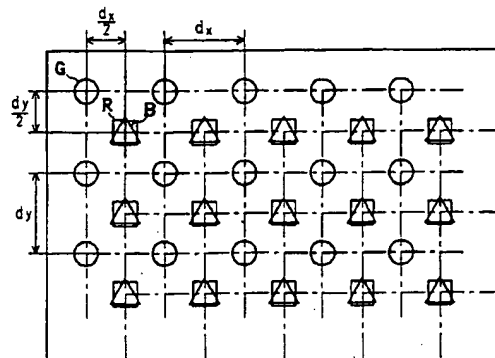
【図 15】



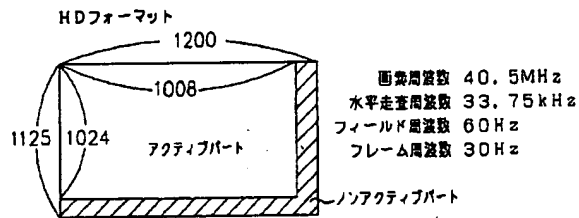
【図14】



【図18】



【図16】



フロントページの続き

(5) Int. Cl. 6

H 0 4 N 7/01

識別記号

庁内整理番号

F I

技術表示箇所

J